

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-128248

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

G06F 9/46

(21)Application number : 07-283808

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 31.10.1995

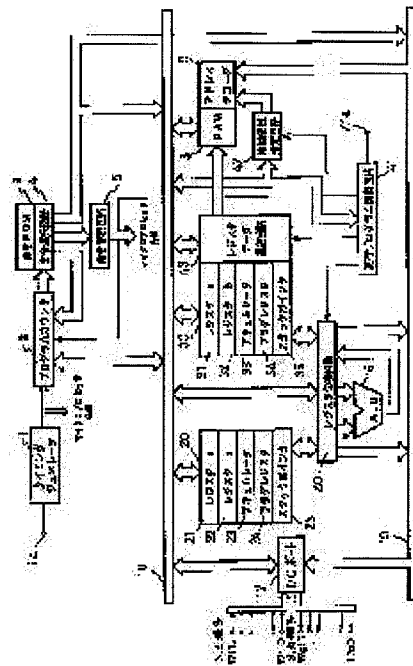
(72)Inventor : SUEHIRO KENICHI

(54) MICROPROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the execution switching time of processing programs without making a processing management program complicated when plural processing programs are executed in parallel on a time-division basis.

SOLUTION: This microprocessor is provided with two register groups, i.e., a 1st register group 20 dedicated to the processing management program and a 2nd register group 30 common to all normal processes. For switching from a process which is being executed to a next process, a register switching circuit 40 makes the 1st register group 20 effective with a process management start signal from an execution program switching circuit 41. The execution program switching circuit 41 outputs a normal process start signal to the register switching circuit 40 to make the 2nd register group 30 effective. At the time of the switching of execution processes, the processing management program can be executed without reloading or saving register data from or to the 1st register group 20, so the execution switching time of the processing programs can be shortened.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-128248

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl.⁶

G 0 6 F 9/46

識別記号

3 1 3

庁内整理番号

F I

G 0 6 F 9/46

技術表示箇所

3 1 3 C

審査請求 未請求 請求項の数4 OL (全 15 頁)

(21)出願番号 特願平7-283808

(22)出願日 平成7年(1995)10月31日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 末▲廣▼ 憲一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

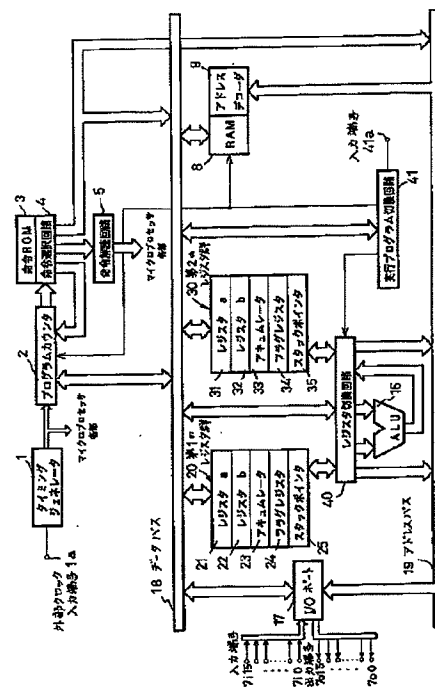
(74)代理人 弁理士 松村 博

(54)【発明の名称】 マイクロプロセッサ

(57)【要約】

【課題】 複数の処理プログラムを時分割で並列に実行するとき、処理管理プログラムが複雑にならず、処理プログラムの実行切換時間を短縮する。

【解決手段】 処理管理プログラム専用の第1のレジスタ群20と、通常処理全てに共用の第2のレジスタ群30との2つのレジスタ群を設ける。実行中の処理0から処理1へ切り換えを行なう場合、実行プログラム切換回路41からの処理管理起動信号でレジスタ切換回路40が第1のレジスタ群20を有効にする。処理管理プログラムにより次処理1を決定しその実行準備を行なう。実行プログラム切換回路41は、通常処理起動信号をレジスタ切換回路40へ出力し第2のレジスタ群30を有効にする。実行処理の切り換え時に、第1のレジスタ群20のレジスタデータの復帰および退避を行なわず処理管理プログラムを実行できるため、処理プログラムの実行切換時間を短縮できる。



【特許請求の範囲】

【請求項1】 通常処理のプログラムや該プログラムの処理管理をするプログラムの実行に用いられる少なくとも2つ以上からなるレジスタ群と、プログラムの実行切換信号を発生する実行プログラム切換手段と、前記実行切換信号に基づいて、前記レジスタ群のいずれか1つを有効とするレジスタ切換手段と、前記プログラムのそれぞれに対応したレジスタデータを格納するレジスタデータ格納手段とを備えたことを特徴とするマイクロプロセッサ。

【請求項2】 通常の処理プログラムを管理する処理管理プログラムの実行に用いられる第1のレジスタ群と、通常の処理プログラムの実行に用いられる第2のレジスタ群と、前記処理管理プログラムと前記処理プログラムとの実行切換信号を発生する実行プログラム切換手段と、前記実行切換信号に基づいて、前記第1および第2のレジスタ群のいずれか1つを有効とするレジスタ切換手段と、複数の処理プログラムのそれぞれに対応したレジスタデータを格納するレジスタデータ格納手段とを備えたことを特徴とするマイクロプロセッサ。

【請求項3】 通常の処理プログラムを管理する処理管理プログラムの実行に用いられる第1のレジスタ群と、通常の処理プログラムの実行に用いられる第2のレジスタ群と、前記処理管理プログラムと前記処理プログラムとの実行切換信号を発生する実行プログラム切換手段と、前記実行切換信号に基づいて、前記第1および第2のレジスタ群のいずれか1つを有効とするレジスタ切換手段と、複数の処理プログラムのそれぞれに対応したレジスタデータを格納するレジスタデータ格納手段と、実行中の処理プログラムのレジスタデータを格納する前記レジスタデータ格納手段の格納領域を示す格納領域指定データを設定する格納領域指定手段と、前記実行切換信号と前記格納領域指定データに基づいて、前記第2のレジスタ群のレジスタデータを前記レジスタデータ格納手段に退避させるレジスタデータ退避手段とを備えたことを特徴とするマイクロプロセッサ。

【請求項4】 通常の処理プログラムを管理する処理管理プログラムの実行に用いられる第1のレジスタ群と、通常の処理プログラムの実行に用いられる第2のレジスタ群と、前記処理管理プログラムと前記処理プログラムとの実行切換信号を発生する実行プログラム切換手段と、前記実行切換信号に基づいて、前記第1および第2のレジスタ群のいずれか1つを有効とするレジスタ切換手段と、複数の処理プログラムのそれぞれに対応したレジスタデータを格納するレジスタデータ格納手段と、実行中の処理プログラムのレジスタデータを格納する前記レジスタデータ格納手段の格納領域を示す格納領域指定データを設定する格納領域指定手段と、次に実行する処理プログラムのレジスタデータを格納する前記レジスタデータ格納手段の格納領域を示す読出領域指定データを

設定する読出領域指定手段と、前記実行切換信号と前記格納領域指定データおよび前記読出領域指定データに基づいて、前記第2のレジスタ群のレジスタデータを前記レジスタデータ格納手段に退避し、次に実行する処理プログラムのレジスタデータを前記第2のレジスタ群に復帰するレジスタデータ交換手段とを備えたことを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、通常の処理プログラムを管理する処理管理プログラムの実行時と、複数の処理プログラムの実行時とに使用するレジスタ群を複数備え、処理プログラムの切換時間を短縮し、通常の処理プログラムの管理を容易に行なえるマイクロプロセッサに関するものである。

【0002】

20 【従来の技術】近年の民生機器では、マイクロプロセッサは映像音響機器のみならず、洗濯機、アイロン、炊飯器等のあらゆる製品の内部制御を行なうデバイスとして多用されており、1つの製品内に複数のマイクロプロセッサが使用されることも珍しくなくなっている。このように1つの製品内に複数のマイクロプロセッサが使用されるに伴い、各マイクロプロセッサ間の通信データの増大が問題となる。また部品点数の削減も要望されていることから、複数の処理、制御内容を1チップのマイクロプロセッサで行なうようになってきた。

30 【0003】以下に従来のマイクロプロセッサについて説明する。図7は従来のマイクロプロセッサの構成を示したブロック図である。図7において、1は外部クロック信号を基にタイミング信号を発生させるタイミングジェネレータ、1aは外部クロック信号の入力端子、2は実行アドレスを供給するプログラムカウンタ、3は処理プログラムが格納されている命令ROM、4はプログラムカウンタ2からの実行アドレスにより命令ROM3に格納された命令を選択する命令選択回路、5は命令選択回路4から供給される命令を解釈し、その命令に対応した制御信号データをマイクロプロセッサ各部に供給する命令解釈回路、6は命令により設定された時間が経過するとイベント信号を発生するタイマー、7は割り込み処理を起動する割り込み制御回路、7aは割り込み信号の入力端子、8はデータを格納するRAM、9はRAM8の何れかの格納領域を選択するアドレスデコーダ、10はレジスタa11、レジスタb12、アキュムレータ13、フラグレジスタ14、スタックポインタ15で構成されるレジスタ群、16は演算を行なうALU、17は入出力回路であるI/Oポート、17i0~17i15は入力端子、17o0~17o15は出力端子、18はデータバス、19はアドレスバスである。

50 【0004】また、図8はマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。マイクロプロセッサの本来の処理プログラムによる

処理を通常処理といい、複数の通常処理の実行を管理し、マイクロプロセッサ内部や外部からの要因および処理の優先順位に応じて、時分割でこれらの通常処理を切り換えて実行させていく処理管理プログラムをタスクマネージャ処理という。図8ではプログラムの実行によって行なわれるソフトウェア処理である通常処理および割り込みの管理処理として行なわれるタスクマネージャ処理と、プログラムの実行を伴わないで行なわれるハードウェア処理である割込切換処理のそれぞれの動作順序を示している。

【0005】以上のように構成された、従来のマイクロプロセッサを構成する各部について説明する。タイミグジェネレータ1は、外部クロック入力端子1aから供給されるクロック信号を基に、命令実行サイクルの基準となるタイミング信号を発生し、その出力信号はプログラムカウンタ2およびマイクロプロセッサ各部に供給されている。

【0006】プログラムカウンタ2は、プログラムの実行アドレスデータが格納されており、タイミグジェネレータ1からのタイミング信号にしたがって、実行アドレスデータを命令選択回路4に供給すると共に格納している実行アドレスデータの更新を行なう。また、割込処理制御回路5から割込処理起動信号が供給されると、内部に格納している実行アドレスデータをデータバス18を介してRAM8に供給する。それと共に、命令ROM3内の割込処理プログラムが格納されている実行アドレスデータを新たな実行アドレスデータとして内部に設定し、割込処理の実行が終了すると、データバス18を介してRAM8から供給される実行アドレスデータを内部に格納する。

【0007】命令ROM3は命令コードデータ群で構成された複数のプログラムが格納されている。

【0008】命令選択回路4は、命令ROM3に格納された命令コードデータ群の中から、プログラムカウンタ2から供給される実行アドレスデータに対応した命令コードデータを選択し、選択した命令コードデータが命令の場合には命令解読回路5に供給し、選択した命令コードデータがアドレスデータの場合にはプログラムカウンタ2、あるいはアドレスバス19に供給し、選択した命令コードデータが数値データの場合にはデータバス18に供給する。

【0009】命令解読回路5は、命令選択回路4から供給された命令コードデータを解読し、各命令に対応した制御信号をマイクロプロセッサ各部に供給する。

【0010】タイマー6は、内部にカウンタを有し、あらかじめ設定されたカウントデータをカウントすると割込制御回路7にイベント信号を供給する。

【0011】割込処理制御回路7は、タイマー6からイベント信号が供給されるか、入力端子7aから信号が入力された場合に、割込処理起動信号をプログラムカウン

タ2およびRAM8に供給する。

【0012】RAM8は、データバス18を介してデジタルデータの読み書きを行なうランダムアクセスメモリであり、アドレスデコーダ9が選択した格納領域に対し、デジタルデータの書き込みあるいは読み出しが行なわれる。また、RAM8には並列に実行している各プログラムに対応したレジスタ群10の各データが格納され、プログラムの切り換え時にはプログラムの命令によって、レジスタ群10の各レジスタ内部に格納されているデータを対応する格納領域に格納し、次に実行を行なうプログラムに対応したレジスタ群10の各レジスタのデータをそれぞれのレジスタに供給する。

【0013】アドレスデコーダ9は、アドレスバス19から供給されるアドレスデータに応じてRAM8の格納領域を選択する。

【0014】レジスタ群10は、レジスタa11、レジスタb12、アキュムレータ13、フラグレジスタ14、スタックポインタ15からなり、その中のレジスタa11、レジスタb12、アキュムレータ13は、デジタルデータの演算を行なうために使用するレジスタである。また、フラグレジスタ14は、ALU16での演算結果に応じてデータが変化する複数のフラグで構成され、スタックポインタ15は、RAM8の格納領域を示すためのアドレスデータが格納されるポインタレジスタである。

【0015】ALU16は、デジタルデータの算術および論理演算を実行する演算器であり、その演算結果をレジスタa11、レジスタb12、アキュムレータ13に格納したり、データバス18を介してRAM8やI/Oポート17に供給する。

【0016】I/Oポート17は、マイクロプロセッサの外部とデータの入出力を行なう入出力ポートであり、命令解読回路5から供給される制御信号に従って、データバス18から供給されるデジタルデータを出力端子17o0~17o15より出力、あるいは入力端子17i0~17i15から入力されるデジタルデータをデータバス18に供給する。

【0017】図7、図8に示した従来のマイクロプロセッサにおいて、割込処理によって処理管理プログラムの処理が行なわれ、処理0から処理1に実行が切り換わる場合の動作について説明する。図8において、時刻t1以前では通常処理として処理0の処理プログラムが実行されている。

【0018】タイマー6は設定された時間が経過すると、時刻t1で割込処理制御回路7にイベント信号を供給し、割込処理制御回路7は割込処理起動信号をプログラムカウンタ2とRAM8に供給することで、割込処理を起動するための割込前処理の実行が開始する。

【0019】時刻t1~t2では割込前処理として、まずスタックポインタ15に格納されているアドレスデータがALU16によってデクリメントされ、アドレスバス19を

10

20

30

40

50

介してアドレスデコーダ9に供給される。プログラムカウンタ2は割込処理起動信号が供給されると内部に格納している処理0の実行アドレスデータをデータバス18に供給する。アドレスデコーダ9は供給されるアドレスデータに基づいてRAM8のスタック領域を選択する。データバス18を介して供給されるプログラムカウンタ2に格納されている処理0の実行アドレスデータはRAM8のスタック領域に格納される。このようにして、実行を中断する直前の処理0に対応した実行アドレスデータがRAM8に格納される。

【0020】次にプログラムカウンタ2は、命令ROM3の割込処理プログラムの実行アドレスデータを設定することによって、時刻t2でプログラムカウンタ2の実行アドレスデータの変更が終了する。

【0021】時刻t2～t3では割込処理プログラムであるタスクマネージャ処理が実行され、処理0のレジスタデータの退避が行われる。タスクマネージャ処理は、RAM8のスタック領域すなわち、スタックポインタ15に格納されたアドレスデータで示されるRAM8内部の格納領域に退避されている処理0の実行アドレスデータと、レジスタa11、レジスタb12、アキュムレータ13、フラグレジスタ14の各データとを処理0の実行に必要なデータ群として、RAM8内のタスクマネージャ処理の管理する領域に格納する。

【0022】時刻t3～t4では、タスクマネージャ処理を実行するために必要なレジスタデータの復帰処理を行なう。すなわちRAM8に格納されているタスクマネージャ処理に対応した格納領域に格納されているレジスタデータをレジスタa11、レジスタb12、アキュムレータ13、フラグレジスタ14のそれぞれ復帰する。

【0023】時刻t4～t5では、複数の通常処理の優先順位に基づいて、次に実行すべき通常処理を決定し、また、タイマー6に処理の切り換えのタイミングデータを設定する。

【0024】時刻t5～t6ではタスクマネージャ処理のレジスタデータの退避が行われる。すなわちレジスタa11、レジスタb12、アキュムレータ13、フラグレジスタ14のデータをタスクマネージャ処理の実行に必要なデータ群として、RAM8内のタスクマネージャ処理の管理する領域に格納する。

【0025】時刻t6～t7では次に実行する通常処理である処理1のレジスタデータの復帰を行なう。すなわち、タスクマネージャ処理はスタックポインタ15に格納されたデータで示されるRAM8内部のスタック領域に、次に実行する通常処理である処理1の実行アドレスデータを設定し、RAM8内のタスクマネージャ処理の管理する領域に格納されている、処理1に対応したレジスタデータをレジスタa11、レジスタb12、アキュムレータ13、フラグレジスタ14に復帰して、割込処理終了命令を実行する。

【0026】割込処理終了命令が実行されると、時刻t7～t8では割込処理を終了して処理1を起動するための割込後処理が実行される。割込処理制御回路7は割込処理終了信号をプログラムカウンタ2とRAM8に供給し、スタックポインタ15に格納されているアドレスデータがアドレスバス19を介してアドレスデコーダ9に供給される。

【0027】アドレスデコーダ9に供給されたアドレスデータはRAM8内での処理1の実行アドレスデータが格納されたスタック領域を示している。供給されたこのアドレスデータに基づいて、RAM8のスタック領域に格納されている処理1の実行アドレスデータはデータバス18を介して、プログラムカウンタ2に供給される。割込処理終了信号が供給されているプログラムカウンタ2は、この処理の実行アドレスデータを内部に格納する。そして、スタックポインタ15に格納されているアドレスデータがALU16によってインクリメントされ割込処理が終了し、時刻t8からは処理1が実行される。

【0028】以上のようにして、タイマー6による周期信号により割込処理を起動し、割込処理内でプログラムの実行切換処理を行なうことによって、従来のマイクロプロセッサでのプログラム実行の切り換えを行なうことができる。

【0029】

【発明が解決しようとする課題】しかしながら、従来のこのような構成では、複数の処理プログラムの実行を切り換える場合には、これら複数のプログラムの実行切換を管理する処理管理プログラムによって、複数のプログラムの実行順序の決定だけでなく、実行を中断する処理プログラムに対応したレジスタデータの退避、次に実行を行なう処理プログラムに対応したレジスタデータの復帰および処理管理プログラムのレジスタデータの復帰、退避を行なう必要があるため、処理管理プログラムが複雑になる。また、マイクロプロセッサが行なうソフトウェア処理全体の中で、本来の処理である通常処理の実行に要する時間に対し、実行処理の切り換えに要する割合が多くなるという問題点を有していた。これらの2つの問題点は、切り換えを行なう処理プログラム数の増加に伴い比例してより悪化していくものである。

【0030】本発明は、前記従来技術の問題点を解決するものであり、処理管理プログラムの専用のレジスタ群と通常処理の全てに共用のレジスタ群との2つのレジスタ群を設けることによって、レジスタデータの退避、復帰の処理回数を減少させ、さらに切り換えに伴うタスクマネージャ処理と並列に行なうため、複数の処理プログラムを時分割で実行しても処理管理プログラムが複雑にならない。また、プログラムの実行切換時間も短縮され、本来の処理に対する稼働率が非常に高いマイクロプロセッサを提供することを目的とする。

【0031】

【課題を解決するための手段】この目的を達成するために、本発明は、通常の処理プログラムを管理する処理管理プログラムの実行に用いられる第1のレジスタ群と、通常の処理プログラムの実行に用いられる第2のレジスタ群と、処理管理プログラムと処理プログラムとの実行切替信号を発生する実行プログラム切替手段と、実行切替信号に基づいて、第1および第2のレジスタ群のいずれか1つを有効とするレジスタ切替手段と、複数の処理プログラムのそれぞれに対応したレジスタデータを格納するレジスタデータ格納手段とを備え、処理管理プログラムを実行する場合には、レジスタ切替手段により第1のレジスタ群が動作状態となり、処理プログラムの実行切替を行なう度に処理管理プログラムのレジスタデータの復帰および退避を行なう必要がない。

【0032】さらに、実行中の処理プログラムのレジスタデータを格納するレジスタデータ格納手段の格納領域を示す格納領域指定データを設定する格納領域指定手段と、実行切替信号と格納領域指定データに基づいて、第2のレジスタ群のレジスタデータをレジスタデータ格納手段に退避させるレジスタデータ退避手段とを備え、処理プログラムの実行切替時には、レジスタデータ退避手段が格納領域指定データに基づいて、処理管理プログラムの実行中に自動的に通常処理のレジスタデータをレジスタデータ格納手段に格納し、処理管理プログラムのソフトウェア処理によって通常処理のレジスタデータの退避を行なう必要がなく、また、処理管理プログラムの実行と並列にこのレジスタデータの退避が行なわれる。

【0033】さらにまた、実行中の処理プログラムのレジスタデータを格納するレジスタデータ格納手段の格納領域を示す格納領域指定データを設定する格納領域指定手段と、次に実行する処理プログラムのレジスタデータを格納するレジスタデータ格納手段の格納領域を示す読出領域指定データを設定する読出領域指定手段と、実行切替信号と格納領域指定データおよび読出領域指定データに基づいて、第2のレジスタ群のレジスタデータをレジスタデータ格納手段に退避し、次に実行する処理プログラムのレジスタデータを第2のレジスタ群に復帰するレジスタデータ交換手段とを備え、処理プログラムの実行切替時には、レジスタデータ交換手段が格納領域指定手段および読出領域指定手段に格納されているデータに基づいて、処理管理プログラムの実行中に自動的に通常処理のレジスタデータの退避および復帰を行ない、処理管理プログラムのソフトウェア処理によって通常処理のレジスタデータの退避および復帰を行なう必要がなく、また、処理管理プログラムの実行と並列にこのレジスタデータの退避と復帰が行なわれるように構成したものである。

【0034】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を詳細に説明する。図1は本発明の実施の

形態1におけるマイクロプロセッサの構成を示すブロック図である。また以下の各図において、従来例の図7で説明した同一作用効果のものについては同一の符号を付す。図1において、1はタイミングジェネレータ、1aは入力端子、2はプログラムカウンタ、3は命令ROM、4は命令選択回路、5は命令解読回路、8はレジスタデータ格納手段となるRAM、9はアドレスデコーダ、16はALU、17はI/Oポート、17i0~17i15は入力端子、17o0~17o15は出力端子、18はデータバス、19はアドレスバス、20はレジスタa21、レジスタb22、アキュムレータ23、フラグレジスタ24、スタックポインタ25で構成される第1のレジスタ群、30はレジスタa31、レジスタb32、アキュムレータ33、フラグレジスタ34、スタックポインタ35で構成される第2のレジスタ群、40はレジスタ切替手段となるレジスタ切替回路、41は実行プログラム切替手段となる実行プログラム切替回路、41aは入力端子である。

【0035】また、図2は本発明の実施の形態1におけるマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。図2においても前記従来例の図8と同様に、プログラムの実行によって行なわれるソフトウェア処理である通常処理、および割込処理として行なわれるタスクマネージャ処理と、プログラムの実行を伴わないで行なわれるハードウェア処理である割込切替処理のそれぞれの動作順序を示している。

【0036】次に、実施の形態1のマイクロプロセッサを構成する各部について説明する。ここで、従来例の図7で説明した各部と同一の作用については、その説明は省略する。

【0037】プログラムカウンタ2は、実行プログラム切替回路41から管理処理起動信号が供給されると、内部に格納している実行アドレスデータをデータバス18を介してRAM8に供給すると共に、命令ROM3内の処理管理プログラムが格納されている実行アドレスデータを新たな実行アドレスデータとして内部に設定する。また、実行プログラム切替回路41から通常処理起動信号が供給されると、データバス18を介してRAM8から供給される実行アドレスデータを内部に格納する。

【0038】RAM8は、実行プログラム切替回路41から管理処理起動信号が供給されると、データバス18を介して供給される通常処理の実行アドレスを実行アドレス退避領域に格納する。さらに、実行中の処理プログラムに対応した第2のレジスタ群30の各データが格納される。即ち、処理プログラムの切り換え時には、第2のレジスタ群30の内部に格納されているデータを対応する格納領域に格納し、次に実行を行なう処理プログラムに対応した第2のレジスタ群30のデータを供給する。

【0039】ALU16は、デジタルデータの算術および論理演算を実行する演算器であり、レジスタ切替回路40が有効としたレジスタ群に格納されたデジタルデー

タの演算を行ない、その演算結果データをそのレジスタ群に格納したり、データバス18を介してRAM8やI/Oポート17に供給する。

【0040】第1のレジスタ群20は、レジスタa21、レジスタb22、アキュムレータ23、フラグレジスタ24、スタックポインタ25で構成され、通常の処理プログラムを管理する処理管理プログラムの専用レジスタ群であり、処理管理プログラムの実行時にのみ使用される。また、各レジスタはデータバス18あるいはレジスタ切換回路40を介してデータが入出力される。

【0041】第2のレジスタ群30は、レジスタa31、レジスタb32、アキュムレータ33、フラグレジスタ34、スタックポインタ35で構成され、通常の処理プログラムの共用レジスタ群であり、全ての通常処理の実行に使用される。第1のレジスタ群20と同様に、各レジスタはデータバス18あるいはレジスタ切換回路40を介してデータが入出力される。

【0042】レジスタ切換回路40は、実行プログラム切換回路41から管理処理起動信号が供給されると第1のレジスタ群20を有効とし、通常処理起動信号が供給されると第2のレジスタ群30を有効とする。そして、有効としたレジスタ群とALU16およびデータバス18、アドレスバス19とのデータの入出力を行なう。

【0043】実行プログラム切換回路41は、その内部にプログラム切換タイミングを計測するためのカウンタと切換時間のカウンタデータを格納するレジスタとを有し、このレジスタにはプログラムにより切換間隔に対応したカウンタデータが設定され、カウンタ動作が行なわれる。このカウンタデータがレジスタに設定されているカウンタデータと等しくなった場合には、実行するプログラムを切り換えるための管理処理起動信号をプログラムカウンタ2、レジスタ切換回路40に供給する。また、この管理処理起動信号は入力端子41aから信号が入力された場合にも出力される。そして管理処理起動信号を出力した後に、命令解読回路5から通常処理起動指令が供給されると、実行プログラム切換回路41は通常処理起動信号をプログラムカウンタ2、レジスタ切換回路40に供給する。

【0044】図1、図2に示した実施の形態1のマイクロプロセッサについて、その動作を説明する。ここで、実行処理は処理0の次に処理1を実行するものとし、実行プログラム切換回路41の内部カウンタには、予め処理の切換タイミングを計測するための切換カウンタデータが設定されているものとする。

【0045】図2において、時刻t1以前では通常処理として処理0の処理プログラムが実行されており、第2のレジスタ群30が動作状態となっている。

【0046】実行プログラム切換回路41は内部のカウンタがレジスタに設定されたカウンタデータを計測終了するか、入力端子41aから信号が入力されると、時刻t1で

管理処理起動信号をプログラムカウンタ2、レジスタ切換回路40及びRAM8に供給する。

【0047】時刻t1～t2では、実行プログラム切換回路41から管理処理起動信号が出力されると、プログラムカウンタ2が内部に格納している処理0の実行アドレスデータをデータバス18に供給し、RAM8はデータバス18を介して供給されるこの処理0の実行アドレスデータを一時的に実行アドレス退避領域に格納する。

【0048】次にプログラムカウンタ2は内部に格納されたタスクマネージャ処理の実行アドレスデータを設定し、レジスタ切換回路40は第2のレジスタ群30を無効とすると共に第1のレジスタ群20を有効とすることによって、時刻t2でプログラムカウンタ2の実行アドレスデータの変更とレジスタの切り換えが終了する。

【0049】時刻t2からはタスクマネージャ処理のプログラムが実行される。タスクマネージャ処理では通常処理の管理処理として、まず時刻t2～t3の期間に、第2のレジスタ群30に格納されている。処理0に対応した各レジスタデータの退避を行う。すなわち、第2のレジスタ群30の各レジスタにそれぞれ格納されているレジスタデータを、次に処理0の実行を再開する場合のために、データバス18を介して、RAM8の処理0に対応した格納領域に格納する。また、タスクマネージャ処理では、実行アドレス退避領域に一時的に格納した処理0の実行アドレスデータもRAM8の処理0に対応した格納領域に格納する。

【0050】時刻t3～t4の期間では、複数の通常処理の優先順位に基づいて、次に実行すべき通常処理を決定する。

【0051】時刻t4～t5の期間では、実行する処理の切り換えを行なうタイミングデータを実行プログラム切換回路41に設定する。

【0052】時刻t5～t6の期間では、時刻t3～t4の期間で決定した次に実行する通常処理の実行準備を行なう。すなわち、次に実行する通常処理である処理1に対応したレジスタデータを第2のレジスタ群30に復帰するため、RAM8の処理1に対応した格納領域に格納されているレジスタデータを第2のレジスタ群30の各レジスタにそれぞれ復帰する。また、処理1の実行アドレスデータを実行アドレス退避領域に格納する。

【0053】第2のレジスタ群30の各レジスタへのデータ復帰が終了すると、タスクマネージャ処理は処理終了命令を実行し、これにより命令解読回路5から実行プログラム切換回路41に通常処理起動指令が供給される。

【0054】時刻t6では実行プログラム切換回路41が通常処理起動信号をプログラムカウンタ2、レジスタ切換回路40及びRAM8に供給する。レジスタ切換回路40は通常処理起動信号が供給されると第2のレジスタ群30を有効にする。RAM8は実行アドレス退避領域に格納されている処理1の実行アドレスデータをデータバス18

10

20

30

40

50

に出力し、プログラムカウンタ2はデータバス18を介して供給される処理1の実行アドレスデータを内部に格納する。

【0055】時刻t7からはプログラムカウンタ2から処理1の実行アドレスデータが命令選択回路4に供給され、処理1の実行が再開される。

【0056】このようにして、処理0から処理1へと実行する処理の切り換えが行なわれる。以上のようにして、実行プログラム切換回路41の内部のカウンタによって一定時間が経過するか入力端子41aから信号が入力されるごとに、プログラムカウンタ2、レジスタ切換回路40及びRAM8に管理処理起動信号が供給され、通常処理の実行アドレスデータがRAM8に退避され、タスクマネージャ処理の実行アドレスデータがプログラムカウンタ2に設定されて、通常処理からタスクマネージャ処理へと実行が切り換わる。これと同時にレジスタ切換回路40によって有効なレジスタが第2のレジスタ群30から第1のレジスタ群20へと切り換えられる。

【0057】タスクマネージャ処理内では次に実行する処理の決定と、通常処理の切り換えに必要な第2のレジスタ群30のデータの入れ換えを行なった後に、実行プログラム切換回路41に通常処理起動信号を発生させるための命令を実行する。

【0058】実行プログラム切換回路41からプログラムカウンタ2、レジスタ切換回路40及びRAM8に通常処理起動信号が供給されると、レジスタ切換回路40は有効なレジスタを第1のレジスタ群20から第2のレジスタ群30へと切り換え、次に実行する通常処理の実行アドレスデータがRAM8からプログラムカウンタ2に設定され、次の通常処理が起動される。

【0059】すなわち、レジスタ切換回路40は実行プログラム切換回路41から供給される信号に応じて、2つのレジスタ群の一方が通常処理を実行するための共用のレジスタ群として、他方は通常処理の実行を管理するタスクマネージャ処理を実行するための専用のレジスタ群として動作するように切り換えを行なう。

【0060】その結果、通常の実行を管理するタスクマネージャ処理を実行するためのレジスタデータをRAM8に退避したり、RAM8からレジスタに復帰させたりする必要がないので、タスクマネージャ処理が簡略化できると共に複数のプログラム処理を時分割で実行する場合に処理の切り換えに要する時間を短縮することが可能となる。

【0061】図3は本発明の実施の形態2におけるマイクロプロセッサの構成を示すブロック図である。図3において、1はタイミングジェネレータ、1aは入力端子、2はプログラムカウンタ、3は命令ROM、4は命令選択回路、5は命令解読回路、8はRAM、9はアドレスデコーダ、16はALU、17はI/Oポート、17i0～17i15は入力端子、17o0～17o15は出力端子、18はデ

ータバス、19はアドレスバス、20は第1のレジスタ群、30は第2のレジスタ群、40はレジスタ切換回路、41は実行プログラム切換回路、41aは入力端子、42は格納領域指定手段となる格納領域指定回路、43はレジスタデータ退避手段となるレジスタデータ退避回路である。

【0062】また、図4は本発明の実施の形態2におけるマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。図4において、実施の形態1と同様に通常処理、およびタスクマネージャ処理と、割込切換処理のそれぞれの動作順序を示している。

【0063】本実施の形態2の図3と実施の形態1の図1に示した構成の違いは、格納領域指定回路42とレジスタデータ退避回路43を新たに設けた点である。以下に前記の各部についてその動作を説明する。

【0064】格納領域指定回路42は、実行中の通常処理の各レジスタデータを格納する領域のアドレスデータがタスクマネージャ処理によって設定され、実行プログラム切換回路41からデータ退避信号が供給されると、このアドレスデータをアドレスデコーダ9に供給する。

【0065】レジスタデータ退避回路43は、実行プログラム切換回路41からデータ退避信号が供給されると、第2のレジスタ群30の各データをRAM8に供給し、RAM8は格納領域指定回路43からアドレスデコーダ9に供給されているアドレスデータに応じた格納領域にこれらのデータを順次格納する。

【0066】図3、図4に示した実施の形態2のマイクロプロセッサについて、その動作を説明する。また、実行する処理は前記実施の形態1と同様に、処理0の次に処理1を実行するものとし、図4において、時刻t1以前では通常処理として処理0の処理プログラムが実行されており、第2のレジスタ群30が動作状態となっている。さらに、実施の形態2の動作において、図4に示す時刻t0～t2までの通常処理、タスクマネージャ処理、割込切換処理は、前記実施の形態1と同様である。時刻t2では実行プログラム切換回路41がデータ退避信号を格納領域指定回路42とレジスタデータ退避回路43とに供給する。格納領域指定回路42には、実行中の通常処理のレジスタデータを格納する領域のアドレスデータがタスクマネージャ処理によってあらかじめ設定されており、実行プログラム切換回路41からデータ退避信号が供給されると、処理0に対応したアドレスデータをアドレスデコーダ9に供給する。レジスタデータ退避回路43はデータ退避信号が供給されると、第2のレジスタ群30の各データをRAM8に順次供給し、RAM8は格納領域指定回路42からアドレスデコーダ9に供給されている処理0に対応したアドレスデータに応じた格納領域にこれらのデータを順次格納する。また、RAM8は実行アドレス退避領域に一時的に格納した処理0の実行アドレスデータもRAM8の処理0に対応した格納領域に格納する。

【0067】以上のレジスタデータ退避処理と並列に、時刻 t_2 からはタスクマネージャ処理のプログラムが実行される。タスクマネージャ処理では通常処理の管理処理として、まず時刻 $t_2 \sim t_3$ の期間に、複数の通常処理の優先順位に基づいて、次に実行すべき通常処理を決定する。

【0068】時刻 $t_3 \sim t_4$ の間では、実行する処理の切り換えを行なうタイミングデータを実行プログラム切換回路41に設定する。

【0069】時刻 $t_4 \sim t_5$ の間では、時刻 $t_2 \sim t_3$ の期間で決定した次に実行する通常処理の実行準備を行なう。すなわち、次に実行する通常処理である処理1に対応したレジスタデータを第2のレジスタ群30に復帰するため、RAM8の処理1に対応した格納領域に格納されている各レジスタデータを第2のレジスタ群30の各レジスタにそれぞれ復帰する。また、タスクマネージャ処理は次の処理の切り換え時のために処理1に対応したレジスタデータの退避アドレスデータを格納領域指定回路42に設定する。

【0070】第2のレジスタ群30の各レジスタへのデータ設定及び格納領域指定回路42に対しアドレスデータの設定が終了すると、タスクマネージャ処理は処理終了命令を実行し、これにより命令解読回路5から実行プログラム切換回路41に通常処理起動指令が供給される。

【0071】時刻 t_5 では前記実施の形態1の時刻 t_6 の動作と同様となり、さらに、時刻 t_6 においても実施の形態1の時刻 t_7 と同様で、処理0から処理1へと実行する処理が再開される。

【0072】以上のことから、実施の形態1と同様に実行プログラム切換回路41の内部のカウンタか入力端子41aからの信号入力により、通常処理の実行アドレスデータがRAM8に退避され、タスクマネージャ処理の実行アドレスデータがプログラムカウンタ2に設定され、通常処理からタスクマネージャ処理へと切り換わる。これと同時にレジスタ切換回路40によって、有効なレジスタが第2のレジスタ群30から第1のレジスタ群20へと切り換えられる。

【0073】タスクマネージャ処理内では次に実行する処理の決定と、次の処理の切り換えのためのレジスタデータの退避アドレスデータを格納領域指定回路42に設定した後に、実行プログラム切換回路41に通常処理起動信号を発生させるための処理を行なう。

【0074】これと並列して、実行プログラム切換回路41からデータ退避信号が出力されることによって、格納領域指定回路42は処理0に対応したアドレスデータをアドレスデコーダ9に供給し、レジスタデータ退避回路43は第2のレジスタ群30の各レジスタデータをRAM8に供給する。さらに、RAM8は格納領域指定回路42からアドレスデコーダ9に供給されている処理0に対応したアドレスデータに応じた格納領域にこれらのレジスタデ

ータを順次格納する。

【0075】すなわち、タスクマネージャ処理実行中に、実行プログラム切換回路41からデータ退避信号が出力され、格納領域指定回路42はレジスタデータを格納するためのアドレスデータをアドレスデコーダ9に供給し、レジスタデータ退避回路43は第2のレジスタ群30の各レジスタデータをRAM8に供給することによって、第2のレジスタ群30の各レジスタデータがRAM8に格納される。

【0076】その結果、通常処理の実行を管理するタスクマネージャ処理の実行中に、通常処理を実行するためのレジスタデータをRAM8に退避することが可能となり、複数のプログラム処理を時分割で実行する場合に処理の切り換えに要する時間をさらに短縮することが可能となる。

【0077】図5は本発明の実施の形態3におけるマイクロプロセッサの構成を示すブロック図である。図5において、1はタイミングジェネレータ、1aは入力端子、2はプログラムカウンタ、3は命令ROM、4は命令選択回路、5は命令解読回路、8はRAM、9はアドレスデコーダ、16はALU、17はI/Oポート、17i0～17i15は入力端子、17o0～17o15は出力端子、18はデータバス、19はアドレスバス、20は第1のレジスタ群、30は第2のレジスタ群、40はレジスタ切換回路、41は実行プログラム切換回路、41aは入力端子、42は格納領域指定回路、44は読出領域指定手段となる読出領域指定回路、45はレジスタデータ交換手段となるレジスタデータ交換回路である。

【0078】また、図6は本発明の実施の形態3におけるマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。図6において、実施の形態2と同様に通常処理、およびタスクマネージャ処理と、割込切換処理のそれぞれの動作順序を示している。

【0079】本実施の形態3の図5と実施の形態2の図3に示した構成の違いは、レジスタデータ退避回路43に代えてレジスタデータ交換回路45と、読出領域指定回路44とを設けた点である。以下に前記の各部についてその動作を説明する。

【0080】格納領域指定回路42は、実行中の通常処理の各レジスタデータを格納する領域のアドレスデータが設定され、実行プログラム切換回路41からデータ退避信号が供給されると、このアドレスデータをアドレスデコーダ9に供給する。さらに、読出領域指定回路44から供給され、次に実行されるデータの格納領域を示すアドレスデータを格納する。

【0081】読出領域指定回路44は、次に実行する通常処理のレジスタデータが格納されている領域のアドレスデータがタスクマネージャ処理により設定されて、実行プログラム切換回路41からデータ復帰信号が供給されると、このアドレスデータをアドレスデコーダ9および格

納領域指定回路42に供給する。

【0082】レジスタデータ交換回路45は、実行プログラム切換回路41からデータ退避信号が供給されると、第2のレジスタ群30の各レジスタに格納されているレジスタデータをRAM8に供給し、RAM8は格納領域指定回路42からアドレスデコーダ9に供給されているアドレスデータに応じた格納領域にこれらのレジスタデータを順次格納する。また、実行プログラム切換回路41からデータ退避信号が供給されると、RAM8は読出領域指定回路44からアドレスデコーダ9に供給されているアドレスデータに応じた格納領域に格納されている各レジスタデータを、第2のレジスタ群30の各レジスタに順次格納する。

【0083】図5、図6に示した実施の形態3のマイクロプロセッサについて、その動作を説明する。実行する処理は前記実施の形態2と同様に、処理0の次に処理1を実行するものとし、図6において、時刻t1以前では通常処理として処理0の処理プログラムが実行されており、第2のレジスタ群30が動作状態となっている。また、実施の形態3の動作において、図6に示す時刻t0～t2までの通常処理、タスクマネージャ処理、割込切換処理は、前記実施の形態2と同様である。

【0084】さらに、実施の形態2において、時刻t2の動作で格納領域指定回路42に、実行中の通常処理のレジスタデータを格納する領域のアドレスデータの設定をタスクマネージャ処理で行なうが、実施の形態3ではタスクマネージャ処理または読出領域指定回路44によって行なわれる。また、タスクマネージャ処理では通常処理の管理処理として、時刻t2～t3の期間に複数の通常処理の優先順位に基づいて、次に実行すべき通常処理を決定し、次に実行する通常処理すなわち処理1に対応したレジスタデータが格納されているRAM8の各アドレスデータを読出領域指定回路44に設定する。

【0085】タスクマネージャ処理が読出領域指定回路44にアドレスデータを設定すると時刻t3で実行プログラム切換回路41がデータ復帰信号を読出領域指定回路44とレジスタデータ交換回路40とに供給する。データ復帰信号が供給されると、RAM8は読出領域指定回路44からアドレスデコーダ9に供給されるアドレスデータに応じた格納領域に格納されている各レジスタデータをレジスタデータ交換回路45に供給する。レジスタデータ交換回路45はこれらのレジスタデータを第2のレジスタ群30の各レジスタに順次格納しレジスタデータの復帰動作が行なわれる。また、RAM8は読出領域指定回路44から供給されるアドレスデータにしたがって、処理1の実行アドレスデータを実行アドレス退避領域に格納する。

【0086】さらに、読出領域指定回路44はアドレスデータを格納領域指定回路42にも供給し、格納領域指定回路42は供給されるアドレスデータを次の処理の切り換え

時のために処理1に対応したレジスタデータの退避アドレスデータとして内部に格納する。

【0087】以上のレジスタデータ復帰動作と並列して、時刻t3～t4ではタスクマネージャ処理によって実行プログラム切換回路41に実行する処理の切り換えを行なうタイミングデータの設定が実行される。

【0088】第2のレジスタ群30の各レジスタへのレジスタデータ復帰及び格納領域指定回路42への対しアドレスデータの設定が終了すると、タスクマネージャ処理は処理終了命令を実行し、これにより命令解読回路5から実行プログラム切換回路41に通常処理起動指令が供給される。

【0089】時刻t4の動作は前記実施の形態2の時刻t5と同様となり、さらに、時刻t5においても実施の形態2の時刻t6と同様で、処理0から処理1へと実行する処理が再開される。

【0090】以上のことから、実施の形態2と同様に実行プログラム切換回路41の内部のカウンタか入力端子41aからの信号入力により、通常処理の実行アドレスデータがRAM8に退避され、タスクマネージャ処理の実行アドレスデータがプログラムカウンタ2に設定され、通常処理からタスクマネージャ処理へと切り換わる。これと同時にレジスタ切換回路40によって、有効なレジスタが第2のレジスタ群30から第1のレジスタ群20へと切り換えられる。

【0091】そして、タスクマネージャ処理内では次に実行する処理の決定が行なわれるが、この実行に並列に処理0のレジスタデータの退避が行なわれる。すなわち、実行プログラム切換回路41からデータ退避信号が出力されることによって、格納領域指定回路42は処理0に対応したアドレスデータをアドレスデコーダ9に供給し、レジスタデータ交換回路45は第2のレジスタ群30の各レジスタデータをRAM8に供給する。さらに、RAM8は格納領域指定回路42からアドレスデコーダ9に供給されている処理0に対応したアドレスデータに応じた格納領域にこれらのレジスタデータを順次格納する。

【0092】タスクマネージャ処理で次に実行する処理が決定され、読出領域指定回路44に処理1のレジスタデータが格納されているRAM8のアドレスデータが設定されると、実行プログラム切換回路41がデータ復帰信号を読出領域指定回路44とレジスタデータ交換回路45とに供給する。データ復帰信号が供給されると、RAM8は読出領域指定回路44からアドレスデコーダ9に供給されているアドレスデータに応じた格納領域に格納されている各レジスタデータをレジスタデータ交換回路45に供給し、レジスタデータ交換回路45はこれらのレジスタデータを第2のレジスタ群30の各レジスタに順次格納しレジスタデータの復帰動作が行なわれる。

【0093】また、読出領域指定回路44はアドレスデータを格納領域指定回路42にも供給し、格納領域指定回路

42は供給されるアドレスデータを次の処理の切替時のために処理1に対応したレジスタデータの退避アドレスデータとして内部に格納する。

【0094】すなわち、タスクマネージャ処理実行中に、実行プログラム切替回路41からデータ退避信号が出力されると、格納領域指定回路42はレジスタデータを格納するためのアドレスデータをアドレスデコーダ9に供給する。レジスタデータ交換回路45は第2のレジスタ群30の各レジスタデータをRAM8に供給することによって、第2のレジスタ群30の各レジスタデータがRAM8に退避される。実行プログラム切替回路41からデータ復帰信号が出力されると、読出領域指定回路44はレジスタデータを復帰するためのアドレスデータをアドレスデコーダ9に供給し、レジスタデータ交換回路45はRAM8に格納されている第2のレジスタ群30の各レジスタデータを第2のレジスタ群30に設定することによって、第2のレジスタ群30の各レジスタデータを復帰する。

【0095】その結果、通常処理の実行を管理するタスクマネージャ処理の実行中に、実行を中断する通常処理のレジスタデータの退避と実行を再開する通常処理のレジスタデータの復帰を行なうことが可能となり、複数のプログラム処理を時分割で実行する場合の切り換えに要する時間をさらに短縮することが可能となる。

【0096】なお、実施の形態1〜3では、いずれのレジスタ群も5つのレジスタで構成される場合について説明しているが、いくつのレジスタで構成される場合でも全く同様にして、プログラムの実行の切替時間を短縮することができる。

【0097】また、タスクマネージャ処理の起動信号は、実行プログラム切替回路41の内部のタイマーがプログラムによってあらかじめ設定されたカウントデータをカウントするごとに発生する場合について説明しているが、入力端子41aから外部信号が入力された場合にタスクマネージャ処理の起動信号が発生するような構成にしても、全く同様にプログラムの実行の切替時間を短縮することができる。

【0098】

【発明の効果】以上説明したように、本発明のマイクロプロセッサによれば、処理管理プログラム専用の第1のレジスタ群と通常処理全てに共用の第2のレジスタ群の2つのレジスタ群を有し、処理管理プログラムの実行時にはレジスタ切替手段により第1のレジスタ群を動作状態とする。これにより、実行処理の切り換えを行なう度に処理管理プログラムのレジスタデータの復帰および退避を行わずに処理管理プログラムを実行し、複数の処理プログラムを時分割で実行することができる。その結果、処理管理プログラムが複雑とならず、また処理プログラムの実行切替時間も短縮することができる。

【0099】また、実行処理の切り換え時には、レジスタデータ退避手段が格納領域指定手段に格納されている

格納領域指定データに基づいて、処理管理プログラムの実行中に自動的に通常処理のレジスタデータをレジスタデータ格納手段に格納する。これにより、処理管理プログラムのソフトウェア処理により通常処理のレジスタデータの退避を行わずに複数の処理プログラムを時分割で実行することができる。その結果、処理管理プログラム処理の実行と並列にレジスタデータの退避が行なわれるため、プログラムの実行切替時間をさらに短縮することができる。

10 【0100】また、実行処理の切り換え時には、レジスタデータ交換手段が格納領域指定手段および読出領域指定手段に格納されているデータに基づいて、処理管理プログラムの実行中に自動的に通常処理のレジスタデータの退避および復帰を行なう。これにより、処理管理プログラムのソフトウェア処理により通常処理のレジスタデータの退避および復帰を行わずに複数の処理プログラムを時分割で実行することができる。その結果、処理管理プログラム処理の実行と並列にレジスタデータの退避と復帰が行なわれるため、処理プログラムの実行切替時間をよりいっそう短縮することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるマイクロプロセッサの構成を示すブロック図である。

【図2】本発明の実施の形態1におけるマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。

【図3】本発明の実施の形態2におけるマイクロプロセッサの構成を示すブロック図である。

30 【図4】本発明の実施の形態2におけるマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。

【図5】本発明の実施の形態3におけるマイクロプロセッサの構成を示すブロック図である。

【図6】本発明の実施の形態3におけるマイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。

【図7】従来のマイクロプロセッサの構成を示したブロック図である。

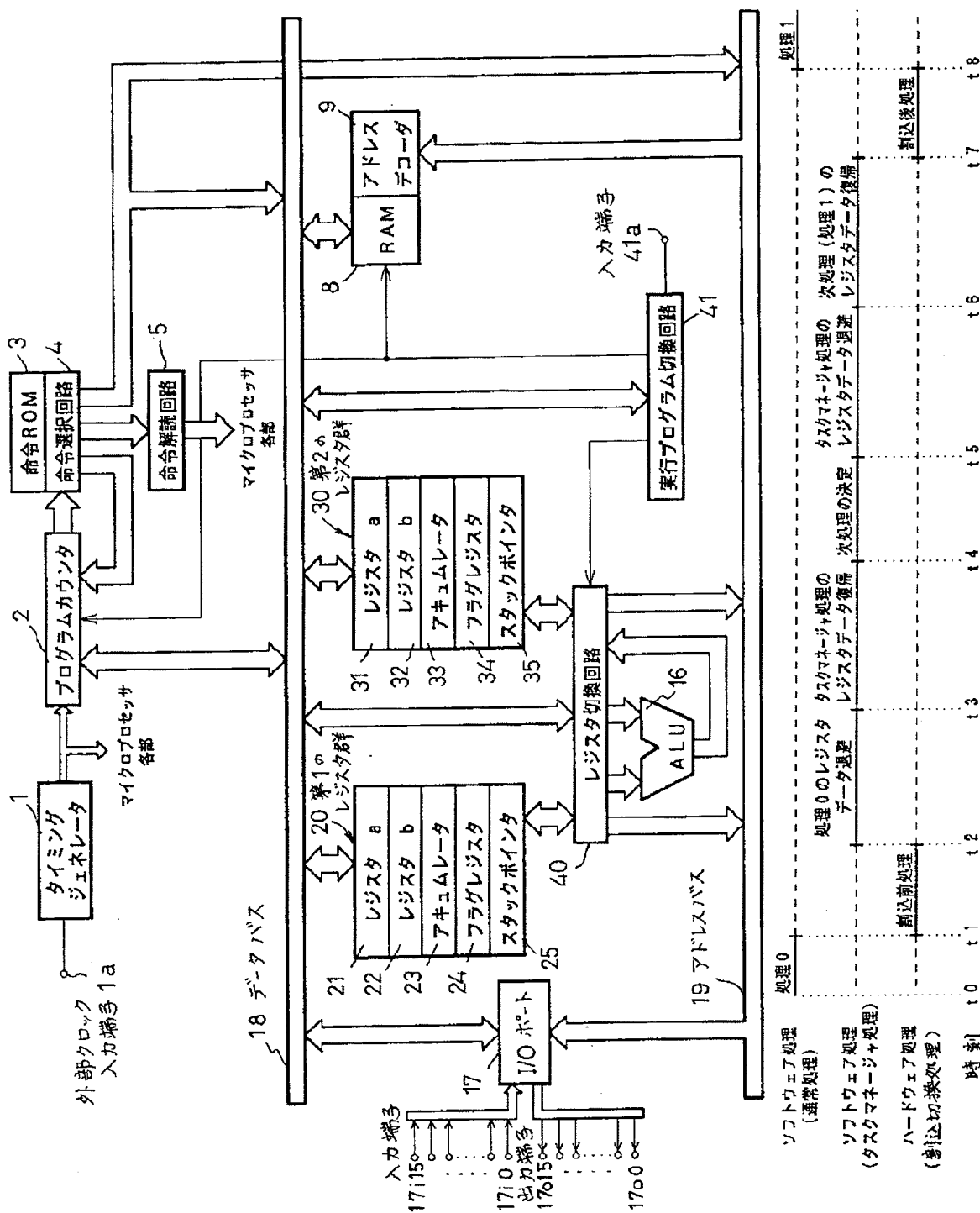
40 【図8】マイクロプロセッサで実行する処理を切り換える場合の動作の流れを示した図である。

【符号の説明】

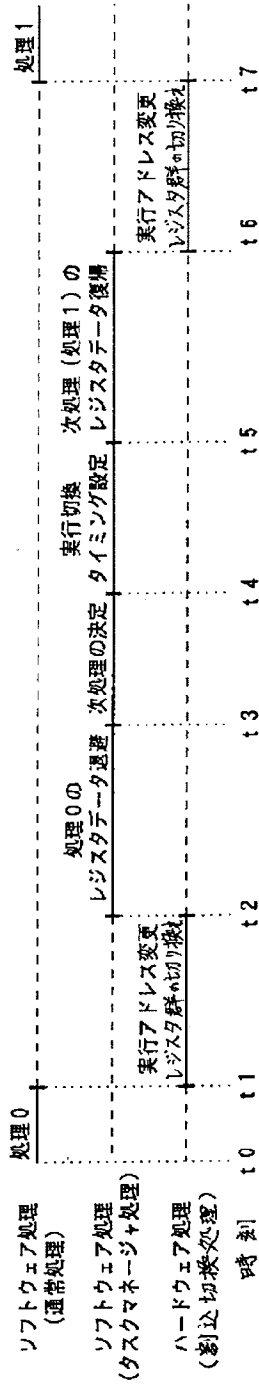
1…タイミングジェネレータ、 1a…入力端子、 2…プログラムカウンタ、 3…命令ROM、 4…命令選択回路、 5…命令解読回路、 6…タイマー、 7…割込処理起動回路、 7a、17i0〜17i15、 41a…入力端子、 8…RAM、 9…アドレスデコーダ、 10…レジスタ群、 11、21、31…レジスタa、12、22、32…レジスタb、13、23、33…アキュムレータ、14、24、34…フラグレジスタ、15、25、35…スタックポイン

* 路、 42…格納領域指定回路、 43…レジスタデータ退避回路、 44…読出領域指定回路、 45…レジスタデータ交換回路。

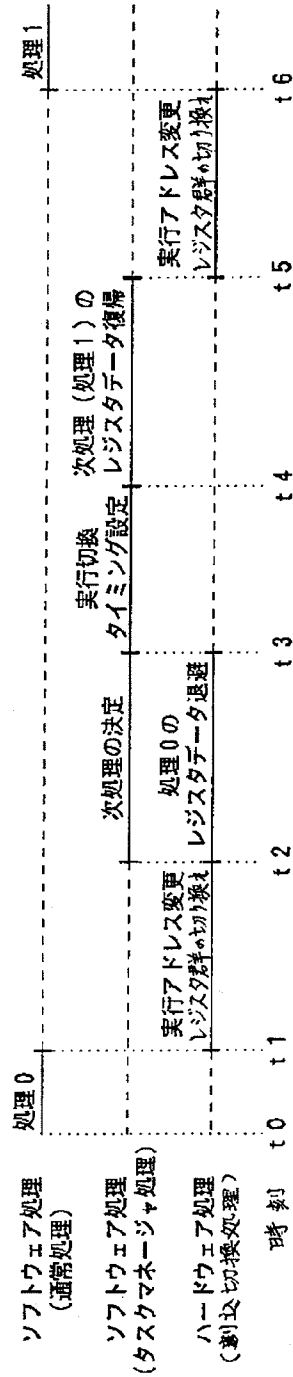
【図 8】



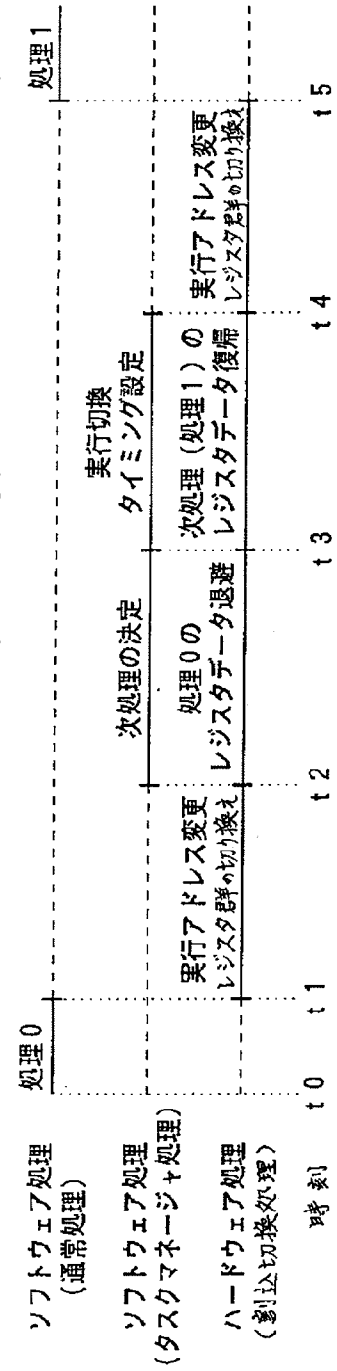
【図2】



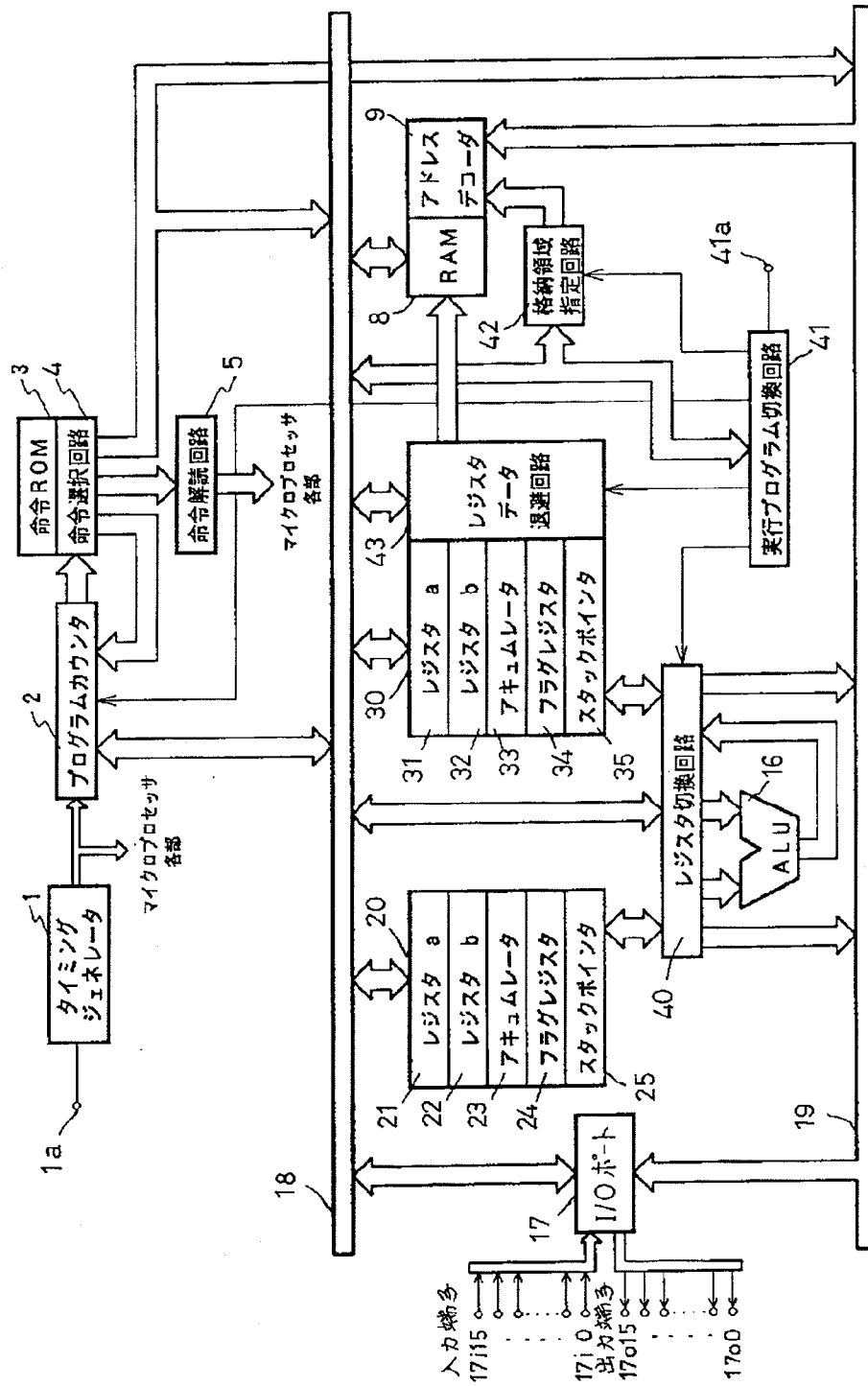
【図4】



【図6】



【図3】



【図5】

